

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-058161
 (43)Date of publication of application : 03.03.1995

(51)Int.Cl. H01L 21/60
 H01L 21/60
 H01L 23/12

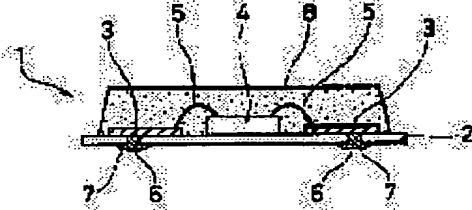
(21)Application number : 05-218053 (71)Applicant : NIPPON STEEL CORP
 (22)Date of filing : 10.08.1993 (72)Inventor : ISHI TAKAHISA

(54) FILM CARRIER AND SEMICONDUCTOR DEVICE USING SAME

(57)Abstract:

PURPOSE: To provide a film carrier with which a substantial PGA type package can be easily obtained at a low cost and the performance of the package can be improved and a semiconductor device using the film carrier.

CONSTITUTION: A film carrier is constituted principally of a film substrate 2 and wiring pattern 3 formed on the substrate 2. Numerous through holes 6 are formed at the positions corresponding to the pattern 3 and pads 7 which are electrically connected to the pattern 3 through the holes 6 are formed on the surface of the substrate 3 opposite to the pattern 3. An IC chip 4 is mounted on the surface of the film carrier on the pattern 3 side and connected to the pattern 3 through bonding wires 5. In addition, a semiconductor device 1 is obtained by sealing the chip 4, pattern 3, and wires 5 with a molding resin 8. The semiconductor device 1 is connected to an external circuit, etc., by the pads 7 connected to the pattern 3 through the wires 5 and pattern 3 and the pads 7 function as the pins of a PGA type semiconductor device.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-58161

(43)公開日 平成7年(1995)3月3日

(51)Int.Cl.
H 01 L 21/60
23/12

識別記号 311 W 6918-4M
301 A 6918-4M

F I

技術表示箇所

H 01 L 23/12

P

審査請求 未請求 請求項の数5 FD (全5頁)

(21)出願番号

特願平5-218053

(22)出願日

平成5年(1993)8月10日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 石井 高久

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

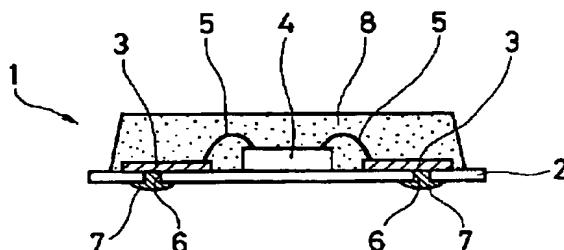
(74)代理人 弁理士 國分 孝悦

(54)【発明の名称】 フィルムキャリヤ及びこのフィルムキャリヤを用いた半導体装置

(57)【要約】

【目的】 容易且つ低成本に実質的なPAG型パッケージを実現し、その性能を向上し得るフィルムキャリヤ及びこれを用いた半導体装置を提供する。

【構成】 フィルムキャリヤは、フィルム基材2とフィルム基材2上に形成された配線パターン3により基本構成される。配線パターン3の対応位置に、多数のスルーホール6を形成し、またフィルム基材2の配線パターン3とは反対側の面に、スルーホール6を介して配線パターン3と電気的に接続するパッド7を形成したものである。フィルムキャリヤにおける配線パターン3側の面にICチップ4が搭載され、ICチップ4は、ポンディングワイヤ5を介して配線パターンと接続される。更にモールド樹脂8によって樹脂封止することにより、半導体装置1が得られる。半導体装置1は、ポンディングワイヤ5及び配線パターン3を介してこれと接続するパッド7により、外部回路等と接続され、そのパッド7がPAG型半導体装置のピンとして機能する。



【特許請求の範囲】

【請求項1】 フィルム基材と該フィルム基材上に形成された配線パターンとから成り、搭載すべき半導体素子が前記配線パターンと接続されるようにしたフィルムキャリヤにおいて、前記フィルム基材における前記配線パターンの対応位置にスルーホールを形成し、前記フィルム基材の前記配線パターンとは反対側の面に、前記スルーホールを介して前記配線パターンと電気的に接続するパッドを形成したことを特徴とするフィルムキャリヤ。

【請求項2】 請求項1に記載のフィルムキャリヤにおける前記フィルム基材の前記配線パターン側の面に半導体素子が搭載され、この半導体素子が、ボンディングワイヤを介して前記配線パターンと接続されて成ることを特徴とする半導体装置。

【請求項3】 前記半導体素子は、モールド樹脂により樹脂封止されることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記半導体素子の対応位置で前記フィルム基材に貫通孔を形成し、この貫通孔に設けた金属層によりヒートシンクを構成するようにしたことを特徴とする請求項2又は3に記載の半導体装置。

【請求項5】 前記モールド樹脂の外側の前記フィルム基材上において、前記配線パターンに対応するテスト用パッドを形成したことを特徴とする請求項3に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ピン・グリッド・アレイ (Pin Grid Array; 以下、PGAという) 型パッケージに好適なフィルムキャリヤ及びこのフィルムキャリヤを用いた半導体装置に関する。

【0002】

【従来の技術】 図9は、従来の所謂、PGA型パッケージ(半導体装置)20の構成例を示している。図において、21はセラミック材料等により形成された基板、22は該基板21上に形成された配線パターン、23は基板21の中央凹部21aに搭載されたICチップ、24は上記配線パターン22及びICチップ23を接続するためのボンディングワイヤである。また25は基板21に多数形成されたスルーホールであり、各スルーホール25は、配線パターン22に対応しており、その内面にはメッキ26が施されている。27は各スルーホール25に挿着されたピンである。

【0003】 更に、28はICチップ23を封止する樹脂であり、この樹脂28は、例えばボッティング等の方法により注入・形成される。29は樹脂28をボッティングする際に使用する封止枠、30はPGA型パッケージ20を覆う金属キャップである。PGA型パッケージ20の裏面側(基板21側)から突出するピン27は、配線パターン22及びボンディングワイヤ24を介して

ICチップ23と接続している。従って、各ピン27を図示しない実装基板等に挿入することにより、ICチップ23が外部回路等と接続されるようになっている。

【0004】 なお上記PGA型パッケージ20の構成において、特に樹脂28及び金属キャップ30等は適宜、選択的に用いられる。つまり樹脂28を設けることなく、ICチップ23を金属キャップ30によって覆う場合もあり、またその金属キャップ30の代わりに適宜のシーリング手段を設ける場合もある。

【0005】

【発明が解決しようとする課題】 しかしながら、従来のPGA型パッケージ20では、ICチップ23を搭載するための凹部21aや、封止枠29、スルーホール25等を基板21に形成し、この基板21に多数のピン27を挿着するので、製造工程が複雑となり問題となっていた。またこのような基板21上に樹脂28を形成する場合、通常のトランスファモールドタイプの場合とは異なるポッティング方法により行われ、このようなポッティング用樹脂を使用して樹脂封止されるので、その十分な耐湿性を得るのが困難であった。

【0006】 更に、ピン27は一定のピン径を有しており、その数が増加すると、これに対応してPGA型パッケージ20自体も大型化する。その場合、ピン27の配設ピッチは、そのピン径等のために一定限度以下に狭めることができず、このように半導体装置の高密度化に有効に対応することができない等の問題があった。また、基板21の形成材料であるセラミック材料等は高価であり、このようなセラミック材料を使用するため、PGA型パッケージ20が高価になるというコスト的な問題もあった。特に、この種のPGA型半導体装置においては、多ピン化のために基板21が、内部配線を有する多層構造に構成されることから、セラミック製の基板21は、高価にならざるを得なかった。

【0007】 本発明はかかる実情に鑑み、製造容易且つ低コストで実質的にPGA型パッケージを得るのに好適であり、その半導体装置の性能向上を図り得るフィルムキャリヤ及びこれを用いた半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明のフィルムキャリヤは、フィルム基材と該フィルム基材上に形成された配線パターンとから成り、搭載すべき半導体素子が前記配線パターンと接続されるようになっているが、特に前記フィルム基材における前記配線パターンの対応位置にスルーホールを形成し、前記フィルム基材の前記配線パターンとは反対側の面に、前記スルーホールを介して前記配線パターンと電気的に接続するパッドを形成したものである。

【0009】 本発明の半導体装置は、フィルムキャリヤにおける前記フィルム基材の前記配線パターン側の面に

半導体素子が搭載され、この半導体素子は、ポンディングワイヤを介して前記配線パターンと接続される。前記半導体素子は、モールド樹脂により樹脂封止される。

【0010】更に本発明の半導体装置は、前記半導体素子の対応位置で前記フィルム基材に貫通孔を形成し、この貫通孔に設けた金属層によりヒートシンクを構成するようにしたものである。

【0011】また前記モールド樹脂の外側の前記フィルム基材上において、前記配線パターンに対応するテスト用パッドを形成したものである。

【0012】

【作用】本発明のフィルムキャリヤにおいて、配線パターンは、スルーホールを介してフィルム基材の裏面側のパッドと接続されている。このフィルムキャリヤを用いて、フィルム基材上の所定位置に搭載された半導体素子が、ポンディングワイヤを介して、配線パターンと接続され、更にモールド樹脂により樹脂封止される。この半導体装置を回路基板等に実装する際には、フィルム基材の裏面側のパッドが、外部接続用の端子（従来のピン）として機能するので、実質的にPGA型半導体装置が得られる。

【0013】本発明によれば、PGA型半導体装置を製造するに際して、従来のセラミック基板、金属キャップ及びピン等の構成部材（図9参照）がもはや不必要になる。従って、構造が簡素化されてその製造が容易になる。またパッドは、従来のピンに比べて狭ピッチ化が可能なので、半導体装置の小型化に有効に対応することができる。しかも半導体素子を樹脂封止する際、この半導体素子は、従来の基板とは異なりフィルム基材上に搭載されているので、モールド樹脂による封止が容易に可能になる。

【0014】本発明によれば、PGA型半導体装置を有効に実現することができるが、更にその半導体素子の搭載部において金属層を設けて、この金属層により内蔵型ヒートシンクを構成することができる。

【0015】

【実施例】以下、図1乃至図4に基づき、本発明によるフィルムキャリヤ及びこのフィルムキャリヤを用いた半導体装置の第一実施例を説明する。

【0016】図1は、本実施例に係る半導体装置1の構成例を示している。図において、2はポリイミド材料等により形成されたフィルム基材、3はフィルム基材2上に形成された配線パターン、4はフィルム基材2の所定位置に搭載されたICチップ、5は上記配線パターン3及びICチップ4を接続するためのポンディングワイヤである。また、6は配線パターン3に対応してフィルム基材2に多数形成されたスルーホール、7は各スルーホール6を介して配線パターン3と接続するパッドであり、パッド7はフィルム基材2の裏面側（ICチップ4の反対側）から僅かに突出している。8はICチップ4

を樹脂封止するモールド樹脂である。

【0017】ここで、上記半導体装置1の製造に用いる本実施例に係るフィルムキャリヤを形成する場合、先ずフィルム基材2において、スプロケットホール（図示せず）及びスルーホール6等がパンチング等の方法により形成される。スルーホール6等が穿設されたフィルム基材2の一方の面（表面）に、上記配線パターン3を形成するための銅箔が貼着される。この銅箔はパターン形成され、これにより配線パターン3が形成される。フィルム基材2の裏面側には、マスクを用いて上記各スルーホール6に対して銅メッキが施され、これにより多数のパッド7が形成される。

【0018】配線パターン3とICチップ4は、上記のようにポンディングワイヤ6を介して接続され、従って該ICチップ4は、パッド7と接続される。更に、図2にも示されるように、フィルム基材2の表面において、その内側全体にモールド樹脂8が形成される。このモールド樹脂8は、例えばトランスマルチモールド成形により形成される。かくしてICチップ4は、モールド樹脂8によって樹脂封止される。

【0019】本実施例の半導体装置1において、パッド7は、図3に示した例のように配置構成される。この配置例では、フィルム基材2の裏面において、その内側に沿って列設されている。各パッド7は、図示しない実装基板等の接続端子等に接続され、これにより半導体装置1の外部回路との接続が行われる。

【0020】ところで、配線パターン3の種類又はパターン構成等により、例えば一例として図4に示されるように、スルーホール6間に適宜スルーホール6'が増設される。そしてスルーホール6に対しては、図3の例のようにパッド7が設けられ、またスルーホール6'に対しては、そこから引き出されたパッド7'が設けられる。パッド7'は、例えばパッド7の内側領域（一点鎖線により示されるフィルム基材2の中央部領域）に配置される。この図4の例のように、増設されたスルーホール6'に対応してパッド7'が増設されるが、各パッド7'は、パッド7を銅メッキ等によって形成する際に同時に、フィルム基材2の裏面側から僅かに突出して形成することができる。

【0021】このように増設されたパッド7'は、パッド7と同一高さになるように設定されており、これらパッド7, 7'のみを介して外部回路等との接続が行われる。図4に示した例のようにフィルム基材2の裏面のほぼ全体領域において、多数のパッド7, 7'を設けることにより、更に多端子化を図ることができる。なおパッド7'の配置は、図4に示した例に限定されるものではなく、その他の配置構成が勿論可能である。例えばパッド7の内側領域に更に増設するものであつてよい。

【0022】以上のように半導体装置1は、好適なPGA型半導体装置として構成される。しかもこの場合、從

來のセラミック基板、金属キャップ及びピン等の構成部材(図9参照)がもはや不要であり、従って構造が簡素化されてその製造が容易になっている。またパッド7(7')は、従来のピンに比べて狭ピッチ化が可能になるので、半導体装置1の小型高密度化を図ることができる。しかも、ICチップ4は、従来の基板とは異なりフィルム基材2上に搭載されているので、モールド樹脂8による封止が容易に可能となり、耐温性の向上を図ることができる。

【0023】次ぎに図5及び図6は、本発明の第二実施例を示している。この第二実施例では、フィルム基材2の裏面側において、ICチップ4の対応位置にヒートシンク9が付設されている。上記配線パターン3を形成するためにフィルム基材2上に貼着された銅箔の一部で成る搭載部10にほぼ対応して、フィルム基材2に貫通孔11が形成され、この貫通孔11を介して上記搭載部10と接続するヒートシンク9が、フィルム基材2の裏面側へ突出形成されている。

【0024】上記貫通孔11は、スルーホール6と同時にパンチング等の方法により形成され、また搭載部10は、上記配線パターン3をパターン成形する際に同時に形成することができる。ヒートシンク9を形成する場合、マスクを用いて、上記フィルム基材2の貫通孔11に対して銅メッキにより金属層が形成される。なおこのヒートシンク9のための金属層は、パッド7等を銅メッキ等によって形成する際に同時に形成することができる。ヒートシンク9は、パッド7等の高さと同一高さに形成され、また図6からも明らかなようにパッド7の内側領域に設けられる。

【0025】このように第二実施例によれば、半導体装置1において、ヒートシンク内蔵型のPGA型半導体装置を実現することができる。ヒートシンク9を設けたことにより、ICチップ4の作動時における発熱に対して、高い放熱効率を得ることができる。その場合、ヒートシンク9は、フィルムキャリヤの形成の際に予め形成されており、そのヒートシンク9のための特別な取付作業等を必要にし、製造が極めて容易である等の利点がある。なお、上記のようにヒートシンク9を付設した場合でも、パッド7を介して外部回路等との接続が行われ、PGA型半導体装置としてその適正機能を発揮し得るのは勿論である。

【0026】図7及び図8は、本発明の第三実施例を示している。この第三実施例では、モールド樹脂8の外側のフィルム基材2上において、上記配線パターン3に対応するテスト用パッド12を形成したものである。即ち、この第三実施例に係る半導体装置1は、前記第一実施例の場合とその基本構成が同一のものを用いるものと

し、モールド樹脂8の外部に露出された配線パターン3の先端に、テスト用パッド12が多数設けられる。第三実施例によれば、上記テスト用パッド12を介して、図示しない試験回路もしくは装置等と接続し、これにより半導体装置1の動作テスト等を容易且つ的確に実施することができる。

【0027】

【発明の効果】以上説明したように本発明によれば、構造の簡素化を図ることにより、この種のPGA型に相当する半導体装置を容易に実現することができる。更に、その製造もしくは製品コストを安価にすることができると共に、小型高密度化を図ることができ、しかも適正作動を保証する。また製造に際して、トランスマルトド成形を有効に適用することにより、耐温性に優れた半導体装置を実現し、品質性能等の向上を図ることができる等の利点を有している。

【図面の簡単な説明】

【図1】本発明の第一実施例による半導体装置の縦断面図である。

【図2】上記半導体装置の上面図である。

【図3】上記半導体装置の底面図である。

【図4】上記半導体装置の変形例における底面図である。

【図5】本発明の第二実施例による半導体装置における縦断面図である。

【図6】上記第二実施例による半導体装置における底面図である。

【図7】本発明の第三実施例による半導体装置における縦断面図である。

【図8】上記第三実施例による半導体装置における上面図である。

【図9】従来のPGA型半導体装置の構成例を示す縦断面図である。

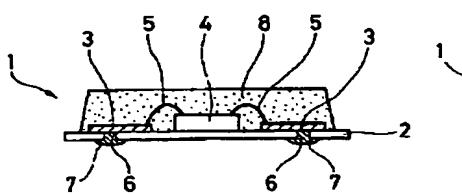
【符号の説明】

- | | |
|----|-----------|
| 1 | 半導体装置 |
| 2 | フィルム基材 |
| 3 | 配線パターン |
| 4 | ICチップ |
| 5 | ボンディングワイヤ |
| 6 | スルーホール |
| 7 | パッド |
| 8 | モールド樹脂 |
| 9 | ヒートシンク |
| 10 | 搭載部 |
| 11 | 貫通孔 |
| 12 | テスト用パッド |

(5)

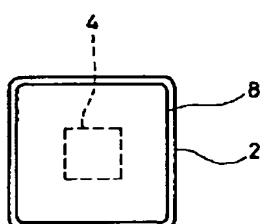
特開平7-58161

【図1】

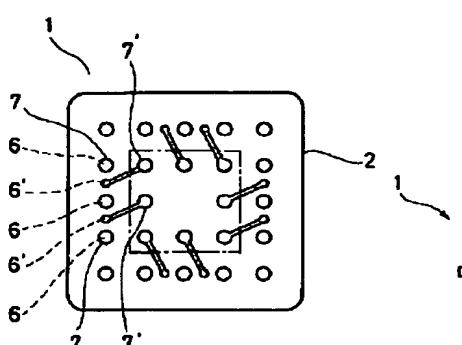
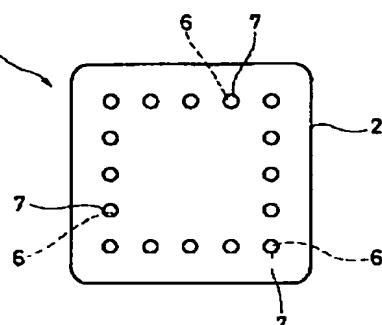


【図4】

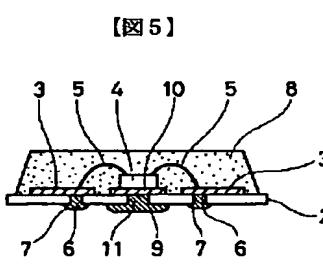
【図2】



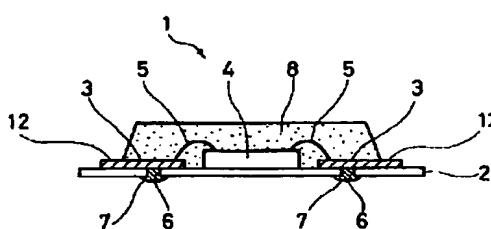
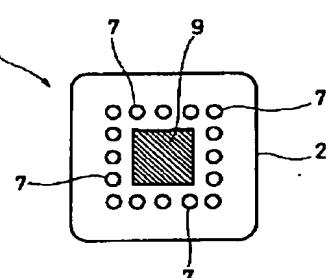
【図3】



【図7】



【図5】



【図9】

